

结合版图结构信息的基本门电路 故障概率估计

肖 杰, 江建慧

(同济大学计算机科学与技术系, 上海 201804)

摘 要: 在门级电路可靠性估计方法中, 基本门的故障概率 φ 一般采用经验值或人为设定. 本文结合基本门的版图结构信息, 综合考虑了设计尺寸及缺陷特性等因素, 分析了不同缺陷模型下的粒径分布数据, 给出了缺陷模型粒径概率密度分布函数的参数 c 的计算算法, 并推导出了 φ 的计算模型. 理论分析与在 ISCAS85 及 74 系列电路上的实验结果表明, 缺陷的分段线性插值模型能较准确地描述电路可靠性模型的低层真实缺陷. 对 ISCAS85 基准电路采用本文方法所得到的电路可靠度与采用美国军用标准 MIL-HDBK-217 方法所得到的计算结果进行了比较, 验证了本文所建 φ 模型的合理性.

关键词: 缺陷模型; 缺陷粒径概率分布; 版图结构信息; 基本门故障概率; 门级电路可靠性评估

中图分类号: TP331 **文献标识码:** A **文章编号:** 0372-2112 (2012) 02-0235-06

电子学报 URL: <http://www.ejournal.org.cn> **DOI:** 10.3969/j.issn.0372-2112.2012.02.005

The Estimation of Fault Probability of Elementary Gates Based on the Layout Structure Information

XIAO Jie, JIANG Jian-hui

(Department of Computer Science and Technology, Tongji University, Shanghai 201804, China)

Abstract: The fault probability of the elementary gate φ for the gate-level circuits' reliability estimation had been given based on expert experience generally. Considering the layout structure information, the size and defect characteristics of elementary gates, analyzing the defect size distribution under different defect models. The parameters c of the probability density distribution function of particle size under the corresponding models was calculated. Then the φ -expression was derived. Theoretical analysis and experimental results with ISCAS85 benchmark and 74-series circuits show that the defect piecewise linear interpolation model can well describe the lower level real defect of circuit reliability model. The reliability results of ISCAS85 benchmark circuits obtained by the probabilistic transfer matrix method based on the proposed φ model and by the reliability calculation method recommended by MIL-HDBK-217 standard were compared. It shows that the proposed φ model is reasonable.

Key words: defect model; probability distribution of defect size; layout structure information; fault probability of elementary gate; evaluation of gate-level circuit reliability

1 引言

超大规模集成 (VLSI) 电路密度的增大、特征尺寸的缩小, 尤其是深亚微米、纳米工艺的应用, 给芯片的可靠性带来了严重影响. 因此, 若能在电路设计阶段, 根据电路的结构、工艺水平预测出它的可靠性, 将对提高 VLSI 电路的成品率和可靠性有着重要作用.

VLSI 电路可靠性分析一般在电路的系统级、门级和版图级等抽象层次上展开. 系统级电路的可靠性分析常采用失效率模型、可靠性框图、故障树、马尔可夫、扩

展随机 Petri 网等模型. 门级电路的可靠性分析方法包括信号可靠性、面向软差错的两阶段算法^[1]、差错传播概率方法^[2]、概率转移矩阵 (probabilistic transfer matrix, PTM) 方法^[3,4], 它们的计算常常依赖于基本门的故障发生概率 φ , 其值一般以经验值或假设的形式给出. 版图级电路的可靠性分析主要通过计算关键面积来估计成品率^[5]. 在集成电路制造过程中, 常见的有冗余物、丢失物和针孔等点缺陷, 它们能引起电路拓扑关系的变化, 主要故障形式有短路、开路等. 并非所有的缺陷都导致故障, 它与缺陷在电路上出现的位置、粒径大小及形状

等因素有关.在求取关键面积时,文献[6]把导体线条无限长处理;文献[7]只对两根导体线条进行建模计算;文献[8]虽考虑了整个电路版图,但未考虑边缘;文献[9]只是基于对称方式对电路版图及边缘进行处理.

在电路底层,现有的缺陷模型就其本质而言均为圆模型或矩形模型^[11].根据其确定直径的原则不同,圆模型主要又可分为最大圆^[12]、最小圆^[6]、椭圆^[5]、分段线性插值(piecewise linear interpolation, PLI)模型^[8].

图1为缺陷粒径的提取过程.对于一个真实缺陷,沿与参考方向成夹角 θ 作两平行线,并平移直到它们与缺陷的两侧分别相切,此时所测到的间距即为 θ 下缺陷的粒径,其中, $0 \leq \theta \leq \pi$,在区间内所达到的最大与最小间距分别称为该缺陷的最大与最小方向尺寸(分别记为 Q_{\max} 与 Q_{\min}).矩形模型用真实缺陷的最小外接矩形来代替真实缺陷,其横向与纵向粒径提取式分别为 $Q_B = Q_{\max} \cos(\alpha)$ 与 $Q_H = Q_{\max} \sin(\alpha)$,其中, α 为矩形对角线与参考方向的夹角.由此可知,缺陷的最大圆模型与最小圆模型分别只提取真实缺陷轮廓的 Q_{\max} 与 Q_{\min} 来近似真实缺陷;矩形模型提取真实缺陷轮廓的 Q_{\max} 与 α 两个特征;椭圆模型提取真实缺陷轮廓的 Q_{\max} 与 Q_{\min} 两个特征;最大圆、最小圆、椭圆模型均假设其对应粒径 Q_{\max} 、 Q_{\min} 、 Q_{ellip} 在 $[0, \pi]$ 内为一常量,矩形模型认为 Q_B 与 Q_H 在 $[0, \pi/2]$ 内为一常量.

PLI模型提取了真实缺陷轮廓的 Q_{\max} 、 Q_{\min} 及其对应的方向角 θ_{\max} 、 θ_{\min} 等四个特征,且其粒径 Q_{PLI} 随着方向角 θ 在 $[0, \pi]$ 内的变化而变化,因此更精确地描绘了真实缺陷的轮廓.实际应用中常用式(1)来计算 Q_{PLI} , θ 在 $[0, \pi]$ 上近似服从均匀分布.图2给出了不同缺陷模型对同一真实缺陷建模的粒径 Q_x 随方向角 θ 变化的估计效果图.

$$Q_{\text{PLI}} = \begin{cases} \frac{Q_{\max} - Q_{\min}}{|\theta_{\max} - \theta_{\min}|} \theta + Q_{\min}, & 0 \leq \theta < |\theta_{\max} - \theta_{\min}| \\ \frac{Q_{\min} - Q_{\max}}{\pi - |\theta_{\max} - \theta_{\min}|} (\theta - |\theta_{\max} - \theta_{\min}|) + Q_{\max}, & |\theta_{\max} - \theta_{\min}| \leq \theta \leq \pi \end{cases} \quad (1)$$

通常,缺陷粒径(记为 Q)的概率密度分布计算采用Stapper模型^[13]或Reyleigh分布模型^[12].在Stapper模型中,假设难以观察的小粒径缺陷存在的频率随 Q 增大呈线性上升关系,而当 Q 进一步增大时,其出现的频率随 Q 的增大呈 $1/Q^n$ 下降.Reyleigh分布从缺陷产生的物理机理出发来刻画 Q 出现的频率关系,它也认为小粒径缺陷出现的频率较低.但实际上,小粒径缺陷出现的频率要比大缺陷大很多,因此,文献[14]提出了 Q 的简约模型,如式(2)所示,根据真实缺陷的分形特征,

可近似认为 $d=3$,而 c 的值则人为设定.

$$f(Q) = \frac{c}{Q^d} \quad (2)$$

该模型要比Stapper模型和Reyleigh分布模型更接近实际,但因难以给出合理的 c 值,因此长期未被采用.

文献[10]尝试结合版图级因素来计算 φ ,但其假设条件过于苛刻且分析较为简单,得到的 φ 值与实际工业数据差距较大.

根据上述分析结果,本文将选择PLI模型来度量缺陷,并在版图级建立了基本门电路开路与短路故障的概率模型.根据实际数据的分析,求得了不同缺陷粒径分布模型中 c 的值.通过对部分ISCAS85基准电路的可靠度计算,验证了新模型的有效性.

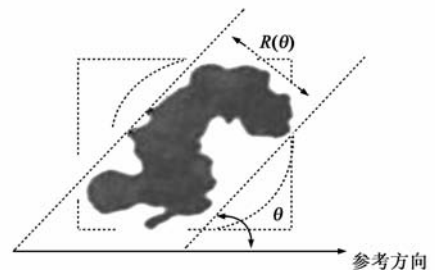


图1 真实缺陷下的不同缺陷模型

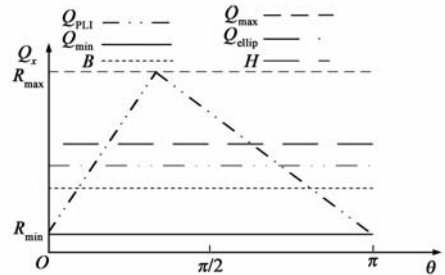


图2 不同缺陷模型下粒径随方向角的变化对比图

2 基本门的故障概率模型

2.1 参数 c 的计算

首先对原始缺陷粒径数据进行分析,并提取出有效数据,再对有效数据进行幂函数拟合,最后应用相关的数学变换使幂函数的指数符合缺陷的分形特征,并得到对应的 c 的值.参数 c 的计算的算法如下:

算法:参数 c 的计算

- (1)输入原始的缺陷粒径数据.
- (2)对数据分类,其中,给定的划分步长为 ΔQ ,通常取值为工艺水平.
- (3)划分区间并进行数据统计.
 - (a)按步长 ΔQ 划分区间;
 - (b)按区间统计缺陷个数.
- (4)数据拟合并检验.
 - (a)提取有效数据.由于存在太小粒径的缺陷无法

观测,故 $(0, \Delta Q)$ 内的统计数据无效,而 $Q \geq \Delta Q$ 的统计数据均为有效数据;(b)幂函数拟合;(c)Kolmogorov 检验,若检验不通过,则转 2.

(5)函数变换.

(a)幂函数平移变换,使底数只含变量;(b)幂函数拉伸或压缩变换,使函数指数符合缺陷的分形特征.

(6)输出参数 c 的值.

2.2 φ 模型的建立

图 3 给出了 n 根长为 L , 等宽(w), 非等间距平行布线 $X \times Y$ 单元发生短路故障的示意图, 其中, 导体线条内的字母表示线条自左至右的次序, 如 i 表示第 i 根线条. s_i 表示第 i 根与第 $i+1$ 根线条之间的线间距, $s_i \leq s_{i+1}$ ($i=1, 2, \dots, n-2$). Q_{PLI} 所指线段表示不同粒径的缺陷仅使得线条 i 与 $i+1$ 短路, 但不造成线条 $i-1$ 或 $i+2$ 故障时的临界缺陷粒径. 虚线所围区域为在该布线方式下, 若符合条件的缺陷粒径中心落入其中, 将导致相邻两线条 i 与 $i+1$ 短路.

对于图 3 所示的布线单元, 当第 i 个缺陷粒径为 Q_{PLI} 时, 导致电路发生短路故障的概率 $P_{F_{\text{short}}}^{i, \text{PLI}}(Q_{\text{PLI}})$ 可用式(3)计算:

$$P_{F_{\text{short}}}^{i, \text{PLI}}(Q_{\text{PLI}}) = \begin{cases} 0, & 0 \leq Q_{\text{PLI}} < s_1 \\ \sum_{i=1}^{n-1} \delta_i(Q_{\text{PLI}} - s_i)/X, & s_1 \leq Q_{\text{PLI}} < s_1 + s_2 + w \\ \left(\sum_{i=1}^{n-1} \delta_i(Q_{\text{PLI}} - s_i) - \sum_{j=1}^k (Q_{\text{PLI}} - (s_j + s_{j+1} + w)) \right) / X, & s_k + s_{k+1} + w \leq Q_{\text{PLI}} < s_{k+1} + s_{k+2} + w \\ 1, & s_{n-2} + s_{n-1} + w \leq Q_{\text{PLI}} \end{cases} \quad (3)$$

$$\delta_i = \begin{cases} 0, & Q_{\text{PLI}} < s_i \\ 1, & Q_{\text{PLI}} \geq s_i \end{cases}, \quad k=1, 2, \dots, n-3; L \approx Y$$

式中的 $F_{\text{short}}^{\text{PLI}}$ 表示真实缺陷 PLI 模型下基本门的短路故障集.

在一定工艺水平下, 当基本门的平均真实缺陷密度为 D_N 时, 根据缺陷的独立性原则, 缺陷造成短路的

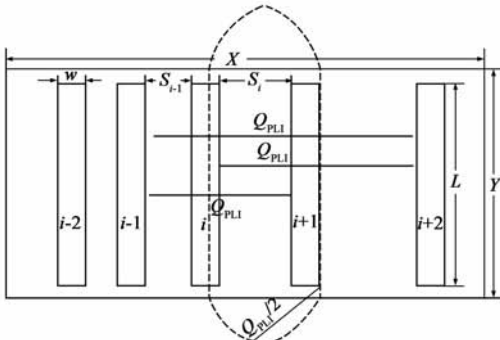


图3 $X \times Y$ 单元上导体线条发生短路故障示意图

概率 $P_{F_{\text{short}}}^{\text{PLI}}$ 可用式(4)计算, 其中, $f^{\text{PLI}}(Q_{\text{PLI}})$ 表示真实缺陷 PLI 模型粒径分布的概率密度函数.

$$P_{F_{\text{short}}}^{\text{PLI}} = \sum_{i=1}^{D_N} \int_0^{+\infty} P_{F_{\text{short}}}^{i, \text{PLI}}(Q_{\text{PLI}}) f^{\text{PLI}}(Q_{\text{PLI}}) dQ_{\text{PLI}} \quad (4)$$

同理, 对于真实缺陷 PLI 模型在缺陷粒径为 Q_{PLI} 时导致电路发生开路故障的概率分析可用图 4 来加以说明. 在图 4 中, Q_{PLI} 所指线段表示不同粒径的缺陷仅使得线条 $i+1$ 开路, 而又不导致线条 i 或 $i+2$ 发生故障时的临界缺陷粒径. 虚线所围区域为在该布线方式下, 若符合条件的缺陷粒径中心落入其中, 将导致线条 i 开路.

对于图 4 所示的布线单元, 当第 i 个缺陷粒径为 Q_{PLI} 时, 导致电路发生开路故障的概率 $P_{F_{\text{open}}}^{i, \text{PLI}}(Q_{\text{PLI}})$ 可用式(5)计算:

$$P_{F_{\text{open}}}^{i, \text{PLI}}(Q_{\text{PLI}}) = \begin{cases} 0, & 0 \leq Q_{\text{PLI}} < w \\ n(Q_{\text{PLI}} - w)/X, & w \leq Q_{\text{PLI}} < s_1 + 2w \\ \left(n(Q_{\text{PLI}} - w) - \sum_{j=1}^k (Q_{\text{PLI}} - (s_j + 2w)) \right) / X, & s_k + 2w \leq Q_{\text{PLI}} < s_{k+1} + 2w \\ 1, & s_{n-1} + 2w \leq Q_{\text{PLI}} \end{cases} \quad (5)$$

式中的 $k=1, 2, \dots, n-2$; $L \approx Y$. $F_{\text{open}}^{\text{PLI}}$ 表示真实缺陷 PLI 模型下基本门的开路故障集.

同式(4), 在真实缺陷 PLI 模型下, 当平均缺陷密度为 D_N 时, 基本门中的缺陷造成开路故障的概率 $P_{F_{\text{open}}}^{\text{PLI}}$ 可用式(6)计算.

$$P_{F_{\text{open}}}^{\text{PLI}} = \sum_{i=1}^{D_N} \int_0^{+\infty} P_{F_{\text{open}}}^{i, \text{PLI}}(Q_{\text{PLI}}) f^{\text{PLI}}(Q_{\text{PLI}}) dQ_{\text{PLI}} \quad (6)$$

设真实缺陷 PLI 模型下基本门的故障集为 F^{PLI} , 于是有式(7a):

$$F^{\text{PLI}} = F_{\text{open}}^{\text{PLI}} \cup F_{\text{short}}^{\text{PLI}} \quad (7a)$$

由式(7a)可知, 真实缺陷 PLI 模型下基本门的故障概率 $\varphi = p_{F^{\text{PLI}}}$, 它与基本门的故障集 $F_{\text{open}}^{\text{PLI}} \cup F_{\text{short}}^{\text{PLI}}$ 和故障发生的概率 $P(F_{\text{open}}^{\text{PLI}} \cup F_{\text{short}}^{\text{PLI}})$ 有如式(7b)所示的关系.

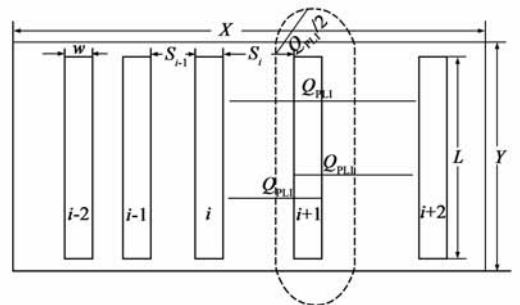


图4 $X \times Y$ 单元上导体线条发生开路故障示意图

$$p_{F^{PI}} = P(F_{open}^{PI} \cup F_{short}^{PI}) \quad (7b)$$

根据故障的互斥性原理,可知 $p_{F^{PI}}$ 可用式(8)计算:

$$p_{F^{PI}} = P_{F_{open}^{PI}} + P_{F_{short}^{PI}} \quad (8)$$

3 实验与分析

3.1 缺陷模型的比较

文献[15]基于成熟的 $5\mu\text{m}$ 工艺线制造的双桥测试芯片采集到 565 个真实缺陷样本,经 Photo style 处理软件提取到 565 幅真实缺陷轮廓.按图 1 的粒径提取方法在不同缺陷模型下分别统计了 Q_{\max} 、 Q_{\min} 、 Q_{ellip} 及 Q_{PLI} 的数据,再利用 c 的计算算法获得了 $c_{\max} = 4.3122\text{e-}005$ 、 $c_{\min} = 9.3111\text{e-}006$ 、 $c_{\text{ellip}} = 1.6065\text{e-}005$ 、 $c_{\text{PLI}} = 1.4722\text{e-}005$ 、 $c_B = c_H = 1.1142\text{e-}005$,其中, $\Delta Q = 5$, α 近似服从均匀分布.

针对图 3~4 的布线单元(设 $n = 2$, $s_1 = w = 5\mu\text{m}$, $X = 23\mu\text{m}$),在 DELL PC (CPU 为 Core 2 @ 3.0GHz,内存 1.98GB)上,以 ISCAS85 及 74 系列电路为对象,在不同缺陷模型下采用 φ 模型和式(2)的缺陷粒径分布函数,再用文[4]的方法计算了电路的可靠度,如图 5~6 所示.

从图 5~6 可知,与真实缺陷下电路的可靠度相比,缺陷的最大圆模型低估了电路的可靠度,而缺陷的最小圆模型又高估了电路的可靠度;缺陷的椭圆模型与矩形模型比缺陷的最大圆与最小圆模型更准确地反映了电路的可靠度.相比其它四个缺陷模型而言,

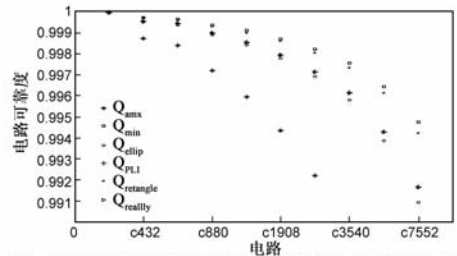


图5 不同缺陷模型下ISCAS85电路的实验结果比较

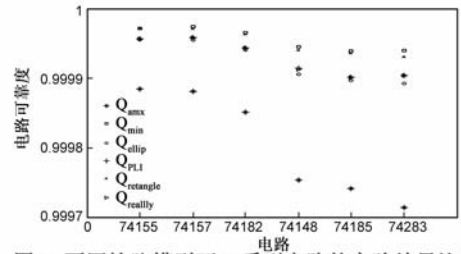


图6 不同缺陷模型下74系列电路的实验结果比较

PLI 模型所得到的电路可靠度与真实缺陷下电路的可靠度最为接近,因此,PLI 模型比缺陷的最大圆、最小圆、椭圆及矩形模型更适合用来在电路低层对缺陷进行度量.

3.2 PLI 模型下的电路可靠度

采用 φ 模型、式(2)在 PLI 模型下的结果和文献[4]的方法,实验对象为 ISCAS85 基准电路.根据工业数据, $D_N = 1.9$ (个/平方毫米),本文选取了 $D_N = 1.9$ 与 $D_N = 3$ 两个值分别进行分析.综合考虑到程序的执行效率与结果的精度,电路分割宽度选取为 6.实验结果如表 1 所示.

表 1 ISCAS85 基准电路的实验数据

电路	电路属性			分割所得 模块数	可靠度				开销	
					$D_N = 1.9$		$D_N = 3$			
	线数	PI 数	PO 数		$(p = 2.7014\text{e-}007)$	$(p = 4.2654\text{e-}007)$	开路 $(p = 2.6929\text{e-}007)$	短路 $(p = 1.5725\text{e-}007)$	时间(s)	内存(MB)
c17	17	5	2	4	0.9999976754	0.9999974966	0.9999976754	0.9999980926	0.0375	3.5
c432	432	36	7	389	0.9999299049	0.9999288320	0.9999299049	0.9999928474	7.1245	37.87
c499	499	41	32	331	0.9999063611	0.9999058246	0.9999063611	0.9999914169	5.0272	32.52
c880	880	60	26	669	0.9998353124	0.9998353123	0.9998353124	0.9999840855	10.903	63.01
c1355	1355	41	32	1164	0.9997881054	0.9997859597	0.9997881054	0.9999885559	19.454	107.04
c1908	1908	33	26	2109	0.9997231960	0.9997197985	0.9997231960	0.9999334812	40.181	194.88
c2670	2670	233	140	1551	0.9995950372	0.9995890415	0.9995950372	0.9999250134	34.000	29.53
c3540	3540	50	22	2555	0.9993972061	0.9993771043	0.9993972061	0.9998514107	68.15	43.84
c5315	5315	178	123	4843	0.9991891037	0.9991830357	0.9991891037	0.9998370266	143.19	87.23
c7552	7552	207	108	4988	0.9986051576	0.9986010531	0.9986051576	0.9997380215	119.69	81.01

表 1 的结果表明,平均缺陷密度越大,电路的可靠度越小;电路整体规模越大,可靠度越低.另外,在相同的设计规则和缺陷分布条件下,电路的开路故障要比短路故障危险,因为缺陷落于线条上导致故障的机率要大于落于线条间导致故障的机率.在深亚微米及纳米工艺

条件下,电路对缺陷的敏感性更强,这可通过设置有效线宽 w_g ,使满足 $w_g \leq w$ (w 为真实线宽)以抵消其受到来自工艺参数扰动、互连线间的串扰等的额外影响.

3.3 线宽、线间距与可靠性的关系

根据式(4)与式(6),在芯片面积相同的情况下,可

以考虑增大线宽或线间距(不能同时改变)以提高电路的可靠性.不妨设图 3~4 的布线为 $s_i = s_j = s, i \neq j$, 且 $s = kw, 0 < k \leq 3$, 可得如图 7 所示的随 k 变化的一条递减的 φ 值曲线.

从图 7 可知,在其它条件不变的情况下,若 $k < 1$, 则 φ 随 k 的变化非常显著,这是由于线间距减小了,使得短路故障更容易发生,开路故障的发生机率也在一定程度上有所增加;若 $k \geq 1$,则将使得缺陷落入敏感区造成故障的概率减小, k 对 φ 的影响越来越不明显.因此,可通过调整 k 的值来提高电路的可靠性,考虑到面积的高效利用, k 可在 1 附近取值.

3.4 与 MIL-HDBK-217 方法的比较

美军标 MIL-HDBK-217 方法可作为集成电路可靠性预计的参照,常数失效率 λ 可用式(9)来计算.

$$\lambda = \pi_L \pi_Q (C_1 \pi_T + C_2 \pi_E) \pi_P \quad (9)$$

其中, π_L 、 π_Q 、 π_T 、 π_E 、 π_P 分别为学习、质量、温度、环境、引脚因子; C_1 与 C_2 表示与电路中门的数量有关的复杂因子.式(9)只适用于门数在 100 至 1300 之间的集成电路,其它参数只能依据经验在一定区间内选取.这样,用 $R(t) = e^{-\lambda t}$ 就可计算电路的可靠度了.

本文选用了 ISCAS85 的 c432、c499、c880、c1355、c1908、c2670 等 6 个电路,使用式(9)计算其失效率,其

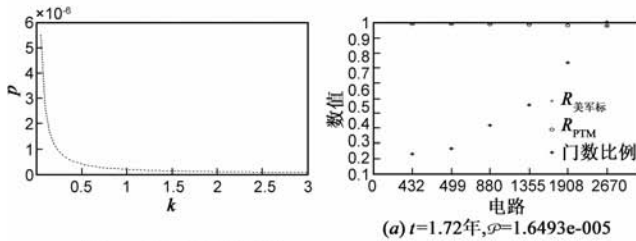


图7 φ 随 k 的变化趋势

中,与相应电路对应的 $(\pi_L \pi_Q \pi_P, \pi_T, \pi_E, \text{门数})$ 分别为 $(1.1, 0.1, 0.2, 160)$ 、 $(1.2, 0.1, 0.2, 202)$ 、 $(1.2, 0.1, 0.2, 383)$ 、 $(1.2, 0.1, 0.2, 546)$ 、 $(1.1, 0.1, 0.2, 880)$ 、 $(1.3, 0.1, 0.2, 1193)$.在芯片的“失效偶发期”(一些书上指明是 5~25 年)内,本文选取了 $t = 1.72$ 年、 $t = 5$ 年和 $t = 10$ 年三个时间点,并根据相应的 D_N 计算了其对应的 φ .图 8 给出了用 MIL-HDBK-217 方法与用本文方法的计算结果的比较,其中 R_M 表示用方法 M 计算的电路可靠度.结果表明,两种方法所得到的结果很接近,这证明了本文方法的合理性.

在相同条件下,ISCAS85 电路的规模与可靠性有着相似的变化.为此,图 8 还给出了对应电路的门数与最大规模电路门数的比例关系.数据表明,本文方法的电路可靠度变化趋势与电路门数的变化趋势更为接近,因为它以基本门为单位来评估整体电路可靠度的.随着时间的推移,用本文方法计算的电路可靠度与用美军标计算的结果的差异在扩大.这是因为随着时间的增加,受应力影响,式(9)中有多个因子对电路可靠度的影响增强了,而美军标的计算方法只有 t 在增加,其它因子不变.故本文方法计算结果随时间的变化速率要快于美军标的计算结果.另外,还可发现,MIL-HDBK-217 难以用来区分高质量集成电路产品在可靠性上的差别.

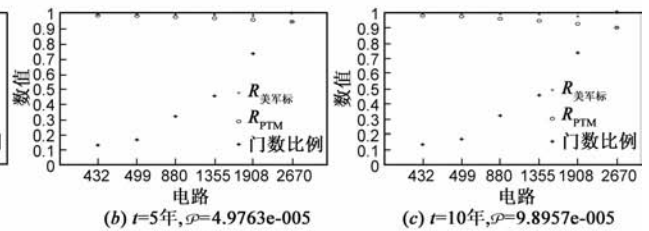


图8 电路可靠度的比较

4 结论

本文分析了缺陷轮廓的建模原理、基本门的版图结构、故障的形成机理与作用模式,以及缺陷粒径分布,建立了基本门故障发生概率 φ 的计算模型.对采集到的真实缺陷粒径统计数据进行了分析,给出了缺陷粒径分布模型中参数 c 的计算算法,基于该算法所获得的不同缺陷模型下的粒径概率密度分布函数,可更加合理地描述不同工艺下缺陷粒径的概率密度分布.对 ISCAS85 基准电路采用本文方法的可靠度计算结果与采用美军标 MIL-HDBK-217 方法的计算结果进行了比较,验证了 φ 模型的合理性.本文的成果能进一步提高依据电路的结构及其所用工艺水平,在电路设计的早期估计其可靠性的准确性.下一步工作将对不同基本门的故障概率进行研究,使 φ 模型更为合理与完善.

参考文献

- [1] Kim J S, Nicopoulos C, Vijakrishnan N, et al. A probabilistic model for soft-error rate estimation in combinational logic[A]. Proc of the 1st Int. Workshop on Probabilistic Analysis Techniques for Real Time and Embedded Systems, Pisa[C]. Amsterdam: Elsevier, 2004. 25 - 31.
- [2] Asadi G, Tahoori M B. An analytical approach for soft error rate estimation in digital circuits[A]. Proc IEEE Int Symp on Circuits and Systems, Kobe[C]. Washington: IEEE Computer Society, 2005. 2991 - 2994.
- [3] Krishnaswamy S, Viamontes G F, Markov I L, et al. Accurate reliability evaluation and enhancement via probabilistic transfer matrices[A]. Proc of IEEE/ACM Conf Design, Automation and Test in Europe, Munich[C]. Washington: IEEE Computer Society, 2005. 282 - 287.

- [4] 王真,江建慧.基于概率转移矩阵的串行电路可靠度计算方法[J].电子学报,2009,37(2):241-247.
Wang Zhen, Jiang Jianhui. A serial method of circuit reliability calculation based on probabilistic transfer matrix[J]. Acta Electronica Sinica, 2009, 37(2): 241-247. (in Chinese)
- [5] Hess C, Strole A. Modeling of real defect outlines for defect size distribution and yield prediction[A]. Proc IEEE Int Conf on Microelectronic Test Structures, Barcelona [C]. Karlsruhe: Oxford University Press, 1993. 75-81.
- [6] Ferris-Prabhu A V. Defect size variations and their effect on the critical area of VLSI devices[J]. IEEE Journal of Solid-state Circuits, 1985, 20(4): 878-880.
- [7] 赵天绪,段旭朝,郝跃.集成电路寿命工艺缺陷影响分析[J].计算机学报,2006,29(2):227-232.
Zhao Tianxu, Duan Xuchao, et al. Analysis to interconnect lifetime affected by integrated circuit manufacturing defect[J]. Chinese Journal of Computers, 2006, 29(2): 227-232. (in Chinese)
- [8] 姜晓鸿,赵天绪,郝跃,等.一种IC缺陷轮廓建模的新方法[J].电子学报,1999,27(5):46-48.
Jiang Xiaohong, Zhao Tianxu, et al. A new approach to model the IC defect outlines[J]. Acta Electronica Sinica, 1999, 27(5): 46-48. (in Chinese)
- [9] Alexander R D, Paul D F, Michael J L. A layout-driven yield predictor and fault generator for VLSI[J]. IEEE Transactions on Semiconductor Manufacturing, 1993, 6(1): 77-82.
- [10] 王真,江建慧.考虑版图级因素的PTM中故障感染率的计算[J].哈尔滨工业大学学报,2009,41(S):124-129.
Wang Zhen, Jiang Jianhui. The calculation of fault infection probability in PTM considering factors of layout[J]. Journal of Harbin Institute of Technology, 2009, 41(S): 124-129. (in Chinese)
- [11] Ferris-Prabhu A V. Critical area for rectangular patterns[R]. New York: IBM Tech, 1981. 19-90.
- [12] Maly W. Computer-aided design for VLSI circuit manufacturability[J]. Proc of the IEEE, 1990, 78(2): 356-392.
- [13] Stapper C H. Modeling of integrated circuit defect sensitivities[J]. IBM Journal of Research and Development, 1983, 27(6): 549-557.
- [14] 郝跃,朱春翔.硅片缺陷粒径分布的分形特征及动力学模型[J].电子学报,1997,25(2):73-75.
Hao Yue, Zhu Chunxiang. Defect size distributions with fractal feature and dynamical model[J]. Acta Electronica Sinica, 1997, 25(2): 73-75. (in Chinese)
- [15] 姜晓鸿.集成电路局部缺陷及其相关的功能成品率和电迁移问题的研究[D].西安:西安电子科技大学,1998.51-74.
Jiang Xiaohong. Study of IC local defect and its related IC functional yield and IC interconnects electronmigration[D]. Xi An: Xidian University, 1998. 51-74. (in Chinese)

作者简介



肖杰 男,1984年出生,博士研究生,主要研究领域为容错计算,网络可靠性.

E-mail: xiaojieqxj@gmail.com



江建慧 男,1964年出生,博士,教授,博士生导师,主要研究领域为可信系统与网络、软件可靠性工程、VLSI测试与容错.

E-mail: jhjiang@tongji.edu.cn